

(19) 【発行国】 日本国特許庁 (JP)

(12) 【公報種別】 公開特許公報 (A)

(11) 【公開番号】 特開 2000-164545 (P2000-164545A)

(43) 【公開日】 平成 12 年 6 月 16 日 (2000. 6. 16)

(54) 【発明の名称】 白金族系金属膜の研磨方法と半導体記憶装置のセル形成方法

(51) 【国際特許分類第 7 版】

H01L 21/304 622

(19) [Publication Office] Japanese Patent Office (JP)

(12) [Kind of Document] Japan Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application] Japan Unexamined Patent Publication 2000 - 164545(P2000 - 164545A)

(43) [Publication Date of Unexamined Application] 2000 June 16 day (2000.6.16)

(54) [Title of Invention] POLISHING METHOD OF PLATINUM FAMILY METAL FILM AND CELL FORMATION METHOD OF SEMICONDUCTOR MEMORY DEVICE

(51) [International Patent Classification 7th Edition]

H01L 21/304 622

27/04

21/822

27/108

21/8242

【F I】

H01L 21/304 622 X

622 C

622 S

27/04 C

27/10 621 C

651

【審査請求】 未請求

【請求項の数】 9

【出願形態】 OL

【全頁数】 7

(21) 【出願番号】 特願平 10-332548

27/04

21/822

27/108

21/8242

[FI]

H01L 21/304 622 X

622 C

622 S

27/04 C

27/10 621 C

651

[Request for Examination] Examination not requested

[Number of Claims] 9

[Form of Application] OL

[Number of Pages in Document] 7

(21) [Application Number] Japan Patent Application Hei 10 - 3

32548

(22) 【出願日】平成10年11月24日(1998.11.24)

(22) [Application Date] 1998 November 24 day (1998.11.24)

(71) 【出願人】

(71) [Applicant]

【識別番号】000005843

[Applicant Code] 000005843

【氏名又は名称】松下電子工業株式会社

[Name] MATSUSHITA ELECTRONICS CORPORATION

【住所又は居所】大阪府高槻市幸町1番1号

[Address] Osaka Prefecture Takatsuki City Saiwai-cho 1-1

(72) 【発明者】

(72) [Inventor]

【氏名】川口 明実

[Name] Kawaguchi Akizane

【住所又は居所】大阪府高槻市幸町1番1号 松下電子工業株式会社内

[Address] Inside of Osaka Prefecture Takatsuki City Saiwai-cho 1-1 Matsushita Electronics Corporation

(74) 【代理人】

(74) [Attorney(s) Representing All Applicants]

【識別番号】100076174

[Applicant Code] 100076174

【弁理士】

[Patent Attorney]

【氏名又は名称】宮井 暎夫

[Name] MIYAI TERUO

【テーマコード(参考)】5F0385F083

[Theme Code (Reference)] 5F0385F083

【Fターム(参考)】5F038 AC05 AC09 AC15 AC18 5F083 AD24 AD49 GA09 GA21 GA28 JA14 JA38 MA05 MA18 PR
(57) 【要約】

(57) [Abstract]

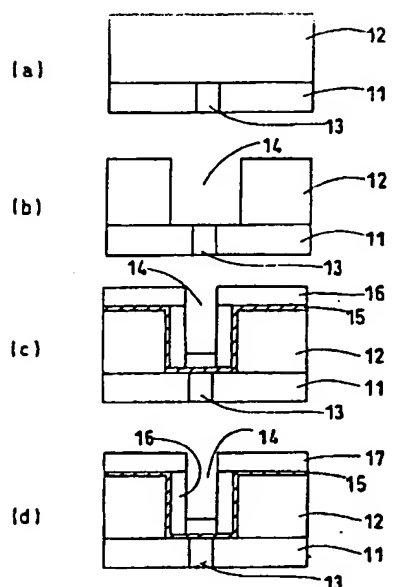
【課題】 微細なパターン形成が可能で、しかも従来からある研磨用スラリーを用いてCMP法による平坦化を短時間で容易に行うことができる白金族系金属膜の研磨方法と半導体記憶装置のセル形成方法を得る。

[Problem] Microscopic pattern formation being possible, can do planarization due to CMP method furthermore from until recently making use of polishing slurry which is easily with short time polishing method of platinum family metal film which and cell formation method of semiconductor memory device are obtained.

【解決手段】 白金族系金属膜の研磨箇所をハロゲン化してハロゲン化金属(または、硫化して硫化金属、酸化して酸化金属)とし、反応性の高い化合物に変換された白金族系金属膜を化学機械的研磨法により研磨する。

[Means of Solution] Halogenation doing grinding passage of platinum family metal film, metal halide (Or, sulfide doing, metal sulfide and oxidation doing, metal oxide) with it does, it grinds platinum family metal film which is converted to the compound where reactivity is high with chemomechanical polishing

method.



- 11...第1層絶縁膜
12...第2層絶縁膜
13...ポリシリコン配線
14...開口部
15...TiN/Ti膜
16...Ru膜
17...RuCl_x膜

【特許請求の範囲】

【請求項1】 被加工物に設けた白金族系金属膜の研磨箇所を反応性の高い化合物に変換し、化学機械的研磨法により研磨することを特徴とする白金族系金属膜の研磨方法。

【請求項2】 被加工物に設けた白金族系金属膜の研磨箇所をハロゲン化してハロゲン化金属に変換し、化学機械的研磨法により研磨することを特徴とする白金族系金属膜の研磨方法。

【請求項3】 被加工物に設けた白金族系金属膜の研磨箇所を硫化して硫化金属に変換し、化学機械的研磨法により研磨することを特徴とする白金族系金属膜の研磨方法。

【請求項4】 被加工物に設けた白金族系金属膜の研磨箇所を酸化して酸化金属に変換し、化学機械的研磨法により研磨することを特徴とする白金族系金属膜の研磨方法。

[Claim(s)]

[Claim 1] Polishing method of platinum family metal film which designates that it converts the grinding passage of platinum family metal film which is provided in workpiece to the compound where reactivity is high, it grinds with chemomechanical polishing method as feature.

[Claim 2] Halogenation doing grinding passage of platinum family metal film which is provided in workpiece, polishing method of platinum family metal film which designates that it converts to metal halide, it grinds with chemomechanical polishing method as feature.

[Claim 3] Sulfide doing grinding passage of platinum family metal film which is provided in workpiece, polishing method of platinum family metal film which designates that it converts to metal sulfide, it grinds with chemomechanical polishing method as feature.

[Claim 4] Oxidation doing grinding passage of platinum family metal film which is provided in workpiece, polishing method of platinum family metal film which designates that it converts to metal oxide, it grinds with chemomechanical polishing method as feature.

【請求項5】 研磨用スラリーを研磨パッドと白金族系金属膜の研磨箇所との間に供給し、前記研磨パッドと被加工物との間に圧力を印加しながら、前記研磨パッドと前記被加工物とを相対的に回転させて、前記白金族系金属膜の研磨箇所を研磨することを特徴とする請求項1記載の白金族系金属膜の研磨方法。

【請求項6】 白金族系金属膜の研磨は、白金族系金属膜の研磨箇所を全て研磨し、研磨レート異なる金属が露出した時点で終了することを特徴とする請求項5記載の白金族系金属膜の研磨方法。

【請求項7】 研磨用スラリーには、反応性の高い化合物に変換された白金族系金属膜が可溶性溶媒を用いることを特徴とする請求項5または請求項6記載の白金族系金属膜の研磨方法。

【請求項8】 導電部を有する基板上に層間絶縁膜を堆積する工程と、

前記層間絶縁膜に前記導電部の少なくとも一部に到達する開口部を形成する工程と、

前記開口部内および前記層間絶縁膜の上に白金族系金属膜を堆積する工程と、

開口部内部以外の白金族系金属膜を反応性の高い化合物に変換する工程と、

化学機械的研磨にて前記層間絶縁膜が露出するまで前記反応性の高い化合物に変換した白金族系金属膜を除去すると共に、前記開口部に前記白金族系金属膜を残存させて下部電極を形成する工程と、

前記下部電極の上に誘電体膜を堆積する工程と、

前記誘電体膜の上に上部電極膜を堆積する工程とを含む半導体記憶装置のセル形成方法。

【請求項9】 研磨用スラリーには、反応性の高い化合物に変換された白金族系金属膜が可溶性溶媒を用いることを特徴とする請求項8記載の半導体記憶装置のセル形成方法。

[Claim 5] While supplying polishing slurry with polishing pad and grinding passage, of the platinum family metal film applying doing pressure with aforementioned polishing pad and workpiece, aforementioned polishing pad and aforementioned workpiece turning relatively, polishing method of platinum family metal film which it states in Claim 1 which designates that it grinds grinding passage of the aforementioned platinum family metal film as feature.

[Claim 6] Grinding platinum family metal film all grinds grinding passage of the platinum family metal film, polishing method of platinum family metal film which is stated in Claim 5 which designates that it ends with time point which metal where the polishing rate differs exposes as feature.

[Claim 7] In polishing slurry, polishing method of platinum family metal film which is stated in the Claim 5 or Claim 6 which designates that platinum family metal film which is converted to the compound where reactivity is high uses soluble solvent as feature.

[Claim 8] Step which accumulates interlayer insulating film on group sheet which possesses the conductor part.

Step which forms opening where in aforementioned interlayer insulating film the aforementioned conductor part arrives at least in part.

Step which accumulates platinum family metal film inside aforementioned opening and on aforementioned interlayer insulating film.

Platinum family metal film other than opening inside step which is converted to the compound where reactivity is high.

Until aforementioned interlayer insulating film exposes with chemomechanical polishing, as platinum family metal film which is converted to compound where aforementioned reactivity is high is removed, aforementioned platinum family metal film remaining in the aforementioned opening, step which forms lower electrode.

Step which accumulates dielectric film on aforementioned lower electrode.

Cell formation method of semiconductor memory device which includes with step which accumulates the upper electrode membrane on aforementioned dielectric film.

[Claim 9] In polishing slurry, cell formation method of semiconductor memory device which is stated in Claim 8 which designates that platinum family metal film which is converted to compound where reactivity is high uses soluble solvent as feature.

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、白金族系金属膜を化学機械的研磨法（以下CMP法と略記する）にて研磨する研磨方法と、白金族系金属膜により構成される電極を有する半導体記憶装置のセル形成方法に関するものである。

【0002】

【従来の技術】近年、集積回路素子の高集積化が進み、メモリセルにおいては特に記憶容量の増大などに対応すべく高集積化の進行が著しい。そこで、メモリセルの一部を構成する容量絶縁膜を構成する材料として、従来の酸化けい素（ SiO_2 ）に代えて、高誘電率で分極特性を有するPZT（ $\text{Pd}(\text{Zr}, \text{Ti})\text{O}_3$ ）系強誘電体薄膜や、BST（ $(\text{Ba}, \text{Sr})\text{TiO}_3$ ）系高誘電体薄膜を用い、これをDRAMキャパシタや不揮発メモリに應用する研究が活発になっている。この不揮発性メモリにおいて、データの書き換えを繰り返すと膜の電荷保持特性等が劣化するという難点がある。これは、膜の疲労と呼ばれるものであるが、この膜の劣化を防ぐために膜を構成する材料である高誘電体や強誘電体自体の改良が行われている。

【0003】一方、この膜の両面に接触する電極材料の改良も積極的に行われている。強誘電体や高誘電体は金属の酸化物であるため、その両面に接触している電極材料の金属をも酸化してしまう傾向がある。そのために、耐酸化性の大きい白金族系金属膜が電極として用いられている。現在、電極として使用されている白金族系金属は、白金（Pt）、ルテニウム（Ru）が使用されており、その他、イリジウム（Ir）などの使用も検討されつつある。

【0004】ここで、これまでに使用されてきたセルの形はスタック型で、塩素系ガスを用いたドライエッチングにより下部電極用の白金族系金属をパターニングしてきた。図4（a）～（d）は、従来のプロセスを示す断面図である。下地のシリコン酸化膜41に形成された埋め込み溝内に配線としてポリシリコンを埋め込んで配線43を形成した後、その上に下部電極となる白金系金属膜42をスパッタあるいはCVD法などによって堆積する。その後、白金系金属膜42をドライエッチングによ

[Description of the invention]

[0001]

[Technological Field of Invention] This invention is something regarding cell formation method of semiconductor memory device which possesses electrode which is formed by polishing method and platinum family metal film which grind platinum family metal film with chemomechanical polishing method (CMP method below you briefly describe.) .

[0002]

[Prior Art] In order that recently, trend to high integration of integrated circuit element advances, regarding the memory cell corresponds to increase etc of especially recording capacity, advance of trend to high integration is considerable. Then, replacing to conventional silicon oxide (SiO_2) as material which forms capacity insulating film which forms portion of memory cell, this research which is applied to the DRAM capacitor and nonvolatile memory has become active making use of PZT ($\text{Pd}(\text{Zr}, \text{Ti})\text{O}_3$) ferroelectric thin film and BST ($(\text{Ba}, \text{Sr})\text{TiO}_3$) ferroelectric thin film which possess polarization characteristic with high dielectric constant. In this nonvolatile memory, when rewriting data is repeated, there is a difficulty that electric charge retention etc of membrane deteriorates. This is something which is called fatigue of membrane, but improvement of ferroelectric and ferroelectric itself which are a material which form the membrane in order to prevent deterioration of this membrane is done.

[0003] On one hand, also improvement of electrode material which contacts both surfaces of this film is done positively. As for ferroelectric and ferroelectric because it is an oxide of metal, there is a tendency which even metal of electrode material which contacts the both surfaces oxidation is done. Because of that, platinum family metal film where oxidation resistance is large it is used as electrode. As for platinum family metal which is used presently, as electrode, the platinum (Pt), ruthenium (Ru) is used, in addition, also iridium (Ir) or other use is being examined.

[0004] Here, shape of cell which is used so far with stacked type the patterning did platinum family metal for lower electrode with dry etching which uses the chlorine gas. Figure 4 (a) to (d) is cross section which shows conventional process. Imbedding polysilicon in pad groove which was formed to silicon oxide film 41 of the substrate as wiring, after forming wiring 43, it accumulates the platinum-based metal film 42 which becomes lower electrode on that with sputter or CVD method etc. after that, platinum-based metal film 42 patterning is

リパターニングし、下部電極 44 を形成する。そして、基板上に、例えば B S T により構成される高誘電体膜 45 を堆積した後、さらにその上に上部電極膜 46 を堆積してセルを形成する。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の方法では、以下のような問題があった。

【0006】最近では、1ギガビットのDRAM用のセルは極めて微細となり、これまでのスタック型セル構造では、ドライエッチングによる下地電極用の白金族系金属膜 42 から下部電極 44 の形状にパターニングするのが困難である。そのため、トレンチ型セル構造にする方向で検討が進められている。このトレンチ型セル構造では、層間絶縁膜である酸化膜（例えばシリコン酸化膜）に埋め込み溝等の開口部を形成するため、これまでのドライエッチングプロセスが応用できる。さらに、下部電極用の白金族系金属膜をドライエッチングする必要がないので、これまでのスタック型セル構造より微細なパターン形成には有利である。

【0007】しかし、トレンチ型セルを形成するプロセスにおいては、層間絶縁膜に形成された開口部内および層間絶縁膜上に白金族系金属膜を堆積した後、CMP法による平坦化を行って開口部内に白金族系金属膜を埋め込む工程が必要となるが、その際、白金族系金属は化学反応性に乏しく、CMP法による平坦化が困難であるという問題があった。

【0008】この発明の目的は、微細なパターン形成が可能で、しかも従来からある研磨用スラリーを用いてCMP法による平坦化を短時間で容易に行うことができる白金族系金属膜の研磨方法及び半導体記憶装置のセル形成方法を提供するものである。

【0009】

【課題を解決するための手段】請求項1記載の白金族系金属膜の研磨方法は、被加工物に設けた白金族系金属膜の研磨箇所を反応性の高い化合物に変換し、化学機械的研磨法により研磨することを特徴とするものである。

【0010】なお、反応性の高い化合物としては、ハロゲン化してなるハロゲン化金属、硫化してなる硫化金属、酸化してなる酸化金属等が挙げられる。

done with dry etching, the lower electrode 44 is formed. And, after accumulating ferroelectric membrane 45 which is formed on substrate, by the for example B S T, furthermore accumulating upper electrode membrane 46 on that, it forms cell.

[0005]

[Problems to be Solved by the Invention] But, with above-mentioned conventional method, like below there was a problem.

[0006] Recently, as for cell for DRAM of 1 gigabit it becomes quite fine, with former stacked type cell structure, from platinum family metal film 42 for substrate electrode due to dry etching patterning it is difficult in shape of lower electrode 44 to do. Because of that, examination is advanced with direction which is made trench type cell structure. In order to form pad slot or other opening in oxidized film (for example silicon oxide film) which is an interlayer insulating film, the former dry etching process can apply with this trench type cell structure. Furthermore, because it is not necessary dry etching to do platinum family metal film for lower electrode, from former stacked type cell structure it is profitable in the microscopic pattern formation.

[0007] But, Forms trench type cell regarding process which, After accumulating platinum family metal film inside opening which was formed to interlayer insulating film and on interlayer insulating film, doing planarization due to CMP method, the step which imbeds platinum family metal film inside opening becomes necessary, but at that occasion, there was a problem that platinum family metal is lacking in chemical reactivity planarization due to CMP method difficult.

[0008] As for object of this invention, microscopic pattern for mation being possible, can do the planarization due to CMP method furthermore from until recently making use of polishing slurry which is easily with short time it is a polishing method of platinum family metal film which and something which offers cell formation method of semiconductor memory device.

[0009]

[Means to Solve the Problems] It is something which designates that polishing method of platinum family metal film which is stated in Claim 1 converts grinding passage of platinum family metal film which is provided in workpiece to compound where reactivity is high, grinds with chemomechanical polishing method as feature.

[0010] Furthermore, halogenation doing as compound where reactivity is high, the metal halide and sulfurization which become doing, metal sulfide which becomes and the oxidation doing, metal oxide etc which becomes you can list.

【0011】請求項1～4記載の白金族系金属膜の研磨方法によると、被加工物に設けた白金族系金属膜の研磨箇所を、反応性の高い化合物（ハロゲン化金属、硫化金属、酸化金属）に変換することで、研磨し易くなり、市販されている研磨用スラリーを用いてCMP法による平坦化を短時間で容易に行うことができる。

【0012】請求項5記載の白金族系金属膜の研磨方法は、研磨用スラリーを研磨パッドと白金族系金属膜の研磨箇所との間に供給し、研磨パッドと被加工物との間に圧力を印加しながら、研磨パッドと被加工物とを相対的に回転させて、白金族系金属膜の研磨箇所を研磨することを特徴とするものである。

【0013】請求項5記載の白金族系金属膜の研磨方法によると、化学反応性が乏しい白金族系金属膜を、より反応性の高い化合物に変換させたことで、市販の研磨用スラリーを用いて、白金族系金属膜を容易かつ迅速に除去できる。

【0014】請求項6記載の白金族系金属膜の研磨方法は、請求項5において、白金族系金属膜の研磨が、白金族系金属膜の研磨箇所を全て研磨し、研磨レート異なる金属が露出した時点で終了することを特徴とするものである。

【0015】請求項6記載の白金族系金属膜の研磨方法によると、反応性の高い化合物に変換された白金族系金属膜が全て研磨された時点で、研磨レートが遅い白金族系金属が露出することになり、CMPは自然に終了する。

【0016】請求項7記載の白金族系金属膜の研磨方法は、請求項5または請求項6において、研磨用スラリーには、反応性の高い化合物に変換された白金族系金属膜が可溶な溶媒を用いることを特徴とするものである。

【0017】請求項7記載の白金族系金属膜の研磨方法によると、白金族系金属膜をより反応性の高い化合物に変換することで、特殊な研磨用スラリーを用いなくても、変換後の化合物が可溶な溶媒が用いられているような現在市販されている研磨スラリーを用いることで、白金族系金属膜を容易かつ迅速に除去できる。

【0018】請求項8記載の半導体記憶装置のセル形成方法は、導体部を有する基板上に層間絶縁膜を堆積し、

[0011] According to polishing method of platinum family metal film which is stated in the Claim 1 to 4, by fact that it converts to compound (metal halide, metal sulfide and metal oxide) where reactivity is high, it is likely to grind grinding passage of platinum family metal film which is provided in workpiece, to do easily with short time it is possible planarization due to CMP method making use of polishing slurry which is marketed.

[0012] While polishing method of platinum family metal film which is stated in Claim 5 supplying polishing slurry with polishing pad and grinding passage, of the platinum family metal film applying doing pressure with polishing pad and workpiece the polishing pad and workpiece turning relatively, it is something which designates that it grinds grinding passage of platinum family metal film as feature.

[0013] According to polishing method of platinum family metal film which is stated in the Claim 5, platinum family metal film where chemical reactivity is scanty, by fact that it converts to compound where reactivity is higher, platinum family metal film can be removed easily and quickly making use of commercial polishing slurry.

[0014] As for polishing method of platinum family metal film which is stated in Claim 6, grinding platinum family metal film, all grinds grinding passage of the platinum family metal film in Claim 5, it is something which designates that it tends with time point which metal where polishing rate differs exposes as feature.

[0015] According to polishing method of platinum family metal film which is stated in the Claim 6, platinum family metal film which is converted to compound where reactivity is high all with time point which is ground, decides that the platinum family metal where polishing rate is slow exposes, CMP ends in the natural.

[0016] Polishing method of platinum family metal film which is stated in Claim 7, is something which designates that platinum family metal film which is converted to the compound where reactivity is high uses soluble solvent as feature in the polishing slurry in Claim 5 or Claim 6.

[0017] According to polishing method of platinum family metal film which is stated in the Claim 7, platinum family metal film by fact that it converts to compound where the reactivity is higher, making use of special polishing slurry, compound after converting, by fact that polishing slurry - which kind of presently the soluble solvent is used is marketed is used, platinum family metal film can be removed easily and quickly.

[0018] Is stated in Claim 8 as for cell formation method of semiconductor memory device which, interlayer insulating film is

層間絶縁膜に導体部の少なくとも一部に到達する開口部を形成し、開口部内および層間絶縁膜の上に白金族系金属膜を堆積し、開口部内部以外の白金族系金属膜を反応性の高い化合物に変換し、化学機械的研磨にて層間絶縁膜が露出するまで反応性の高い化合物に変換した白金族系金属膜を除去すると共に、開口部に白金族系金属膜を残存させて下部電極を形成し、下部電極の上に誘電体膜を堆積し、誘電体膜の上に上部電極膜を堆積するものである。

【0019】請求項8記載の半導体記憶装置のセル形成方法によると、白金族系金属膜を下部電極とするトレンチ型セルが形成され、白金族系金属膜の微細パターンの形成が可能であるので、高集積化に適した半導体記憶装置のセルを形成できる。

【0020】請求項9記載の半導体記憶装置のセル形成方法は、請求項8において、研磨用スラリーには、反応性の高い化合物に変換された白金族系金属膜が可溶性溶媒を用いることを特徴とするものである。

【0021】請求項9記載の半導体記憶装置のセル形成方法によると、白金族系金属膜をより反応性の高い化合物に変換することで、特殊な研磨用スラリーを用いなくても、変換後の化合物が可溶性溶媒が用いられているような現在市販されている研磨スラリーを用いることで、白金族系金属膜を容易かつ迅速に除去できる。

【0022】

【発明の実施の形態】この発明の白金族系金属膜の研磨方法と半導体記憶装置のセル形成方法を図1ないし図3を参照しながら説明する。

【0023】図1(a)～(d)、図2(a)～(c)は、白金族系金属膜で構成される下部電極を有するトレンチ型セルの形成工程を示す断面図である。

【0024】まず、図1(a)に示す工程で、シリコン基板(図示せず)上に熱酸化によりシリコン酸化膜からなる第1層間絶縁膜11を700nmの厚さに形成した後、所望の位置に径が約0.16μmのコンタクトホールを形成する。そして、CVD法により、コンタクトホール内および第1層間絶縁膜11の上に厚みが約1μmのポリシリコン膜を堆積し、リン拡散を行って低抵抗化

accumulated on group sheet which possesses conductor part, opening where in interlayer insulating film conductor part arrives at least in part is formed, platinum family metal film is accumulated inside opening and on interlayer insulating film, Until platinum family metal film other than opening inside is converted to compound where reactivity is high, interlayer insulating film exposes with chemomechanical polishing, as the platinum family metal film which is converted to compound where reactivity is high is removed, platinum family metal film remaining in opening, it is something where it forms lower electrode, accumulates dielectric film on lower electrode, accumulates the upper electrode membrane on dielectric film.

[0019] According to cell formation method of semiconductor memory device which is stated in Claim 8, the trench type cell which designates platinum family metal film as lower electrode to be formed, because formation of fine pattern of platinum family metal film is possible, the cell of semiconductor memory device which is suited for trend to high integration can be formed.

[0020] Cell formation method of semiconductor memory device which is stated in Claim 9, is something which designates that platinum family metal film which is converted to compound where reactivity is high uses soluble solvent as feature in polishing slurry in the Claim 8.

[0021] According to cell formation method of semiconductor memory device which is stated in Claim 9, the platinum family metal film by fact that it converts to compound where reactivity is higher, making use of special polishing slurry, compound after converting, by the fact that polishing slurry - which kind of presently soluble solvent is used is marketed is used, platinum family metal film can be removed easily and quickly.

[0022]

[Embodiment of Invention] While referring to Figure 1 through Figure 3, you explain polishing method of platinum family metal film of this invention and cell formation method of semiconductor memory device.

[0023] Figure 1 (a) to (d), Figure 2 (a) to (c) is cross section which shows formation process of trench type cell which possesses lower electrode which is formed with platinum family metal film.

[0024] First, with step which is shown in Figure 1 (a), on silicon substrate (not shown) after forming insulating film 11 between first tier which consists of silicon oxide film with the thermal oxidation in thickness of 700 nm, diameter forms contact hole of approximately 0.16 μm in desired position. And, with CVD method, thickness accumulates polysilicon membrane of approximately 1 μm on insulating film 11 inside contact hole,

する。その後、CMP法を用いて、第1層間絶縁膜11の表面が露出するまで余分な部分のポリシリコンを除去し、基板の上面全体を平坦化する。その結果、コンタクトホール内にのみポリシリコンが埋め込まれてポリシリコン配線13が形成される。

【0025】次に、基板上に、厚みが約 $1\mu\text{m}$ のシリコン酸化膜からなる第2層間絶縁膜12を堆積し図1(b)に示す工程で、第2層間絶縁膜12に、例えば円柱状のパターンを有する開口部14(径が約 $0.28\mu\text{m}$)を従来の酸化膜用のドライエッチング技術を使用して形成する。そのとき、開口部14の底面のいずれかの部位にポリシリコン配線13が露出しているように開口部14を形成する。

【0026】次に、図1(c)に示す工程で、開口部14内および第2層間絶縁膜12上に密着層兼バリアメタル層としてTiN/Ti膜15を堆積する。このとき、TiN膜の厚みは約 20nm であり、Ti膜の厚みは約 10nm である。さらに、これに連続してTiN/Ti膜15の上に、白金族系金属膜であるRu膜16をスパッタ法あるいはCVD法により 30nm の厚みで堆積する。

【0027】次に、図1(d)に示す工程で、開口部14内以外の研磨する部分のRu膜16の表面を、塩素ガスにより塩素化し、RuCl_x(ハロゲン化白金族系金属膜)17に変換する。

【0028】さらに、図2(a)に示す工程で、開口部14内以外のTiN/Ti膜15やRuCl_x17を除去するため、CMP法による平坦化を行う。

【0029】図3は、この工程で使用されるCMPに使用される研磨機の構造の例を示す斜視図である。CMP研磨機は、中心軸の回りに回転する円盤状のプラテン31(定盤)と、該プラテン31を中心部で支持するプラテン軸32と、プラテン31上に貼り付けられた独立気泡型ウレタン樹脂や不織布等からなる研磨パッド33と、ウェハ36が装着された円板状のキャリア34と、該キャリア34を中心部で支持するキャリア軸35と、スラリー状の研磨液38を供給するための研磨液供給装置37とを備えている。ここで、プラテン軸32およびキャリア軸35は、いずれもサーボモータ等により強制的に回転され、かつその回転速度が互いに独立に可変に制御されるものである。

and between first tier does the phosphorus scattering and resistance-lowering does. after that, making use of CMP method, until surface of the insulating film 11 between first tier exposes, polysilicon of excess portion is removed, the upper surface entirety of substrate planarization is done. As a result, polysilicon being imbedded only inside contact hole, polysilicon metallization 13 is formed.

[0025] Next, on substrate, it accumulates insulating film 12 between second tier where the thickness consists of silicon oxide film of approximately $1\mu\text{m}$ and with the step which is shown in Figure 1(b), in insulating film 12 between second tier, using dry etching technology for conventional oxidized film, it forms opening 14 (Diameter approximately $0.28\mu\text{m}$) which possesses the for example cylindrical pattern. In order that time, for polysilicon metallization 13 to have exposed in site of the any of bottom surface of opening 14, opening 14 is formed.

[0026] Next, with step which is shown in Figure 1(c), TiN/Ti film 15 is accumulated as adhesive layer and barrier metal layer on insulating film 12 inside the opening 14 and between second tier. This time, thickness of TiN film is approximately 20nm , thickness of the Ti film is approximately 10nm . Furthermore, continuing in this, on TiN/Ti film 15, it accumulates the Ru membrane 16 which is a platinum family metal film with thickness of 30nm with the sputtering method or CVD method.

[0027] Next, with step which is shown in Figure 1(d), chlorination it does the surface of Ru membrane 16 of portion which other than inside opening 14 grinds, with chlorine gas, converts to RuCl_x (halogenation platinum family metal film) 17.

[0028] Furthermore, in order with step which is shown in Figure 2(a), to remove TiN/Ti film 15 other than inside opening 14 and RuCl_x 17, planarization due to CMP method is done.

[0029] Figure 3 is oblique view which shows example of structure of the polisher which is used for CMP which is used with this step. As for CMP polisher, it has with carrier 34 of disk where polishing pad 33 and wafer 36 which consist of closed cell type urethane resin and nonwoven fabric etc which are stuck on platen 31 (fixed base) of disk shape which turns around center axis and the platen shaft 32 and platen 31 which support said platen 31 with core are mounted and carrier axial 35 and polishing liquid supply equipment 37 supports said carrier 34 with core in order which to supply polishing liquid 38 of slurry. Here, platen shaft 32 and carrier axial 35 in each case turn forcedly by servo motor etc, it is something where at same time rotational speed is controlled to variable to independence mutually.

【0030】このCMP法による研磨の結果、図2(a)に示すように、第2層間絶縁膜12上のRuClx膜17およびTiN/Ti膜15が除去されて、開口部14内のみRu膜16およびTiN/Ti膜15が残存し、下部電極18が形成される。

【0031】次に、図2(b)に示す工程で、下部電極18の上に、高誘電率の誘電体薄膜として厚みが約20nmの(Ba0.5, Sr0.5)TiO3膜19をMOCVD法により堆積した。

【0032】次に、図2(c)に示す工程で、(Ba0.5, Sr0.5)TiO3膜19の上に、上部電極膜であるRu膜20を、開口部14内がすべて埋められるようにスパッタあるいはCVD法により堆積した。

【0033】上記第1層間絶縁膜11に埋め込まれたポリシリコン配線13をシリコン基板のソース領域に接続される容量蓄積部コンタクトとし、開口部14内に埋め込まれた下部電極18を容量蓄積電極とし、(Ba0.5, Sr0.5)TiO3膜19を容量絶縁膜とし、Ru膜20をプレート電極とすることで、DRAMのセルとなるキャパシタが形成される。なお、本実施形態の製造工程で形成されるセルは、DRAMのメモリセルに限定されるものではなく、不揮発性メモリのセルにも応用が可能である。

【0034】以上の工程によって形成される半導体記憶装置のセルは、容量絶縁膜として酸化性の強い高誘電体膜((Ba0.5, Sr0.5)TiO3膜)19を用いながら、下部電極18および上部電極20を耐酸化性の大きい白金族系金属(Ru)で構成しているので、容量絶縁膜の疲労劣化に起因する書き換え特性等の悪化を防止することができる。

【0035】特に、本実施の形態の形成方法によると、CMP法を用いて、白金族系金属(Ru)からなる下部電極18を開口部14内に埋め込んで、さらにその上に酸化性の強い高誘電体膜(Ba0.5, Sr0.5)TiO3膜19と、上部電極を構成する白金系金属膜であるRu膜20を堆積しているため、ドライエッチングによる微細パターンの形成が困難な白金系金属を下部電極膜として用いながら、微細化に適したトレンチ型セルを形成することができる。

【0036】その場合、CMP法を用いて、化学反応性に乏しい白金族系金属膜であるRu膜16を研磨するために、塩素ガス雰囲気中で高温に加熱することでRuCl

[0030] As result of grinding due to this CMP method, shown in Figure 2(a), RuClx membrane 17 and TiN/Ti film 15 on insulating film 12 between second tier being removed, Ru membrane 16 and TiN/Ti film 15 remain only inside opening 14, lower electrode 18 is formed.

[0031] Thickness accumulated (Ba0.5, Sr0.5)TiO3 membrane 19 of approximately 20 nm with the MOCVD method next, with step which is shown in Figure 2(b), on lower electrode 18 as dielectric thin film of high dielectric constant.

[0032] Next, with step which is shown in Figure 2(c), on (Ba0.5, Sr0.5)TiO3 membrane 19, the Ru membrane 20 which is an upper electrode membrane, in order to be able to bury inside opening 14 entirely, it accumulated with sputter or CVD method

[0033] Polysilicon wiring 13 which was imbedded to insulating film 11 between above-mentioned first tier is designated as capacity storage part contact which is connected to source region of the silicon substrate, lower electrode 18 which was imbedded inside opening 14 is designated as capacity storage electrode, (Ba0.5, Sr0.5)TiO3 membrane 19 is designated as capacity insulating film, by fact that Ru membrane 20 is designated as plate electrode, capacitor which becomes the cell of DRAM is formed. Furthermore, cell which is formed with production step of the this embodiment is not something which is limited in memory cell of DRAM, application is possible even in cell of nonvolatile memory.

[0034] Because cell of semiconductor memory device which is formed by step above making use of ferroelectric membrane ((Ba0.5, Sr0.5)TiO3 membrane) 19 where oxidative is strong as capacity insulating film while, forms lower electrode 18 and upper electrode 20 with platinum family metal (Ru) where oxidation resistance is large, rewriting characteristic or other deterioration which originates in fatigued deterioration of capacity insulating film can be prevented.

[0035] Especially, According to formation method of this embodiment, Making use of CMP method, imbedding lower electrode 18 which consists of the platinum family metal (Ru) inside opening 14, because furthermore it accumulates the Ru membrane 20 which is a platinum-based metal film which forms ferroelectric membrane (Ba0.5, Sr0.5)TiO3 membrane 19 and upper electrode where the oxidative is strong on that, while using platinum-based metal whose formation of the fine pattern with dry etching is difficult, as lower electrode membrane it can form trench type cell which is suited for narrowing.

[0036] In that case, because in order to grind Ru membrane 16 which is a platinum family metal film which is lacking in chemical reactivity making use of CMP method, it converts to

1 x 17に変換するので、Ru膜16の表面付近の領域が塩素化される。そして、この塩素化された領域は研磨用スラリーによってCMP法で容易に除去される。この時、塩素化は開口部14以外に堆積している膜厚分とし、開口部14内部のRu膜16は化学変化を受けないようにしておく。RuCl₂ x 17は塩酸に可溶であるため、市販されている塩酸を含む研磨用スラリーによって、量産工程に適合した短時間（例えば1分間）でトレンチ型セルを形成することができる。

【0037】なお、本実施の形態では、白金族系金属膜の研磨箇所をハロゲン化してハロゲン化金属としたが、これに限るものではなく、例えば硫化して硫化金属したり、酸化して酸化金属としてもよい。

【0038】また、シリコン基板上に配線としてポリシリコン配線3を形成しているが、TiN配線やW配線などの他の導体材料により構成される配線を形成してもよい。

【0039】また、セルの容量絶縁膜を高誘電体膜であるBST膜により構成したが、これに限定されるものではない。

【0040】さらに、第2層間絶縁膜12に形成した開口部14を円柱状としたが、これに限定されるものではなく、各種パターンの開口部を設けて、各種パターンの下部電極を形成することができる。

【0041】次に、前記図1(c)(d)、図2(a)に示す工程における表面処理方法と研磨方法の具体的な実施例について説明する。

【0042】実施例1

Cl₂雰囲気中で500℃以上に30分加熱することで、開口部内部以外のRu膜16を塩化し、RuCl₂ x 17とする。この時、開口部内部のRu表面はSiO₂などの保護膜を選択的に堆積し保護することで、塩化反応が起こらないようにしておくのが望ましい。

【0043】例えば、Ru膜16上にCVD-SiO₂膜を開口部内部が埋まる膜厚以上で形成した後、CVD-SiO₂膜をエッチバックして開口部内部に保護膜となるCVD-SiO₂膜を形成する。このCVD-SiO₂膜を保護膜として、Ru膜16を塩化した後、CVD-SiO₂膜を選択的に除去する。

RuCl₂ x 17 by fact that it heats to high temperature in the chlorine gas atmosphere, region of surface vicinity of Ru membrane 16 is done chlorination. And, region which this chlorination is done is removed easily with the CMP method by polishing slurry. This time, chlorination makes film thickness part which has been accumulated other than opening 14, Ru membrane 16 of opening 14 inside tries not to receive chemical conversion. RuCl₂ x 17 because it is a soluble in hydrochloric acid, can form trench type cell with short time (for example 1 minute) which conforms to mass production step with polishing slurry which includes hydrochloric acid which is marketed.

[0037] Furthermore, but, with this embodiment, halogenation of grinding passage of platinum family metal film, it made metal halide, it is not something which is limited to this, for example sulfide it does and makes metal sulfide, oxidation does and it is possible as metal oxide.

[0038] In addition, polysilicon metallization 3 is formed on silicon substrate as metallization, but it is possible to form metallization which is formed by TiN metallization and W metallization or other other conducting material.

[0039] In addition, capacity insulating film of cell was formed due to BST membrane which is a ferroelectric membrane, but it is not something which is limited in this.

[0040] Furthermore, opening 14 which was formed in insulating film 12 between second tier was designated as cylinder, but it is not something which is limited in this, opening of various pattern is provided, lower electrode of various pattern can be formed.

[0041] Next, you explain concerning exemplary Working Example of surface treatment method and polishing method in the step which is shown in aforementioned Figure 1(c)(d), Figure 2(a).

[0042] Working Example 1

In Cl₂ atmosphere by fact that 30 min it heats in 500 °C or higher, the chloride it does Ru membrane 16 other than opening inside makes RuCl₂ x 17. This time, SiO₂ or other protective film selectively it accumulates Ru surface of opening inside and by fact that it protects, it is desirable for chloride reaction that to try does not happen.

[0043] CVD - SiO₂ film after forming with film thickness or more where opening inside is buried, the etch back doing CVD - SiO₂ film on for example Ru membrane 16, it forms CVD - SiO₂ film which becomes the protective film in opening inside. With this CVD - SiO₂ film as protective film, chloride after doing Ru membrane 16, the CVD - SiO₂ film selectively is

【0044】その後、RuCl_x 17およびTiN/Ti膜15のCMPを、RuCl_xが可溶な塩酸溶媒を用いた市販されているスラリーで1分間行うことにより、第2層間絶縁膜12上のRuCl_x膜17およびTiN/Ti膜15が除去されて、ホール内のみにRu膜16およびTiN/Ti膜15が残存し、下部電極18が形成される。

【0045】下部電極が形成された後、開口部内部のRu表面の保護のために堆積した保護膜は除去する。

【0046】実施例2

H₂S雰囲気中で800℃以上に45分加熱することで、開口部内部以外のRu膜16を硫化し、RuSとする。この時、開口部内部のRu表面はSiO₂などの保護膜を実施例1のような方法で選択的に堆積し保護することで、硫化反応が起こらないようにしておくのが望ましい。

【0047】その後、RuS_xおよびTiN/Ti膜15のCMPを、RuS_xが可溶な塩酸溶媒を用いた市販されているスラリーで1分間行うことにより、第2層間絶縁膜12上のRuS_x膜およびTiN/Ti膜15が除去されて、ホール内のみにRu膜16およびTiN/Ti膜15が残存し、下部電極18が形成された。

【0048】下部電極が形成された後、開口部内部のRu表面の保護のために堆積した保護膜は除去する。

【0049】

【発明の効果】請求項1～4記載の白金族系金属膜の研磨方法によると、被加工物に設けた白金族系金属膜の研磨箇所を、反応性の高い化合物（ハロゲン化金属、硫化金属、酸化金属）に変換することで、研磨し易くなり、市販されている研磨用スラリーを用いてCMP法による平坦化を短時間で容易に行うことができる。

【0050】請求項5記載の白金族系金属膜の研磨方法によると、化学反応性が乏しい白金族系金属膜を、より反応性の高い化合物に変換させたことで、市販の研磨用スラリーを用いて、白金族系金属膜を容易かつ迅速に除去できる。

[0044] After that, RuCl_x membrane 17 and TiN / Ti film 15 on insulating film 12 between second tier being removed CMP of RuCl_x 17 and TiN / Ti film 15, by 1 minute doing with slurry to which RuCl_x used soluble hydrochloric acid solvent and is marketed, the Ru membrane 16 and TiN / Ti film 15 remain only inside hole, lower electrode 18 is formed.

[0045] After lower electrode was formed, it removes protective film which is accumulated for protecting Ru surface of opening inside.

[0046] Working Example 2

In H₂S atmosphere by fact that 45 min it heats in 800 °C or higher, the sulfide it does Ru membrane 16 other than opening inside makes RuS. This time, SiO₂ or other protective film selectively it accumulates Ru surface of opening inside with method like Working Example 1 and by fact that it protects, it is undesirable for sulfide reaction that to try does not happen.

[0047] After that, RuS_x membrane and TiN / Ti film 15 on insulating film 12 between second tier being removed CMP of RuS_x and TiN / Ti film 15, by 1 minute doing with slurry to which RuS_x used soluble hydrochloric acid solvent and is marketed, the Ru membrane 16 and TiN / Ti film 15 remained only inside hole, lower electrode 18 was formed.

[0048] After lower electrode was formed, it removes protective film which is accumulated for protecting Ru surface of opening inside.

[0049]

[Effects of the Invention] According to polishing method of platinum family metal film which is stated in the Claim 1 to 4, by fact that it converts to compound (metal halide, metal sulfide and metal oxide) where reactivity is high, it is likely to grind grinding passage of platinum family metal film which is provided in workpiece, to do easily with short time it is possible planarization due to CMP method making use of polishing slurry which is marketed.

[0050] According to polishing method of platinum family metal film which is stated in the Claim 5, platinum family metal film where chemical reactivity is scanty, by fact that it converts to compound where reactivity is higher, platinum family metal film can be removed easily and quickly making use of commercial polishing slurry.

【0051】請求項6記載の白金族系金属膜の研磨方法によると、反応性の高い化合物に変換された白金族系金属膜が全て研磨された時点で、研磨レートが遅い白金族系金属が露出することになり、CMPは自然に終了する。

【0052】請求項7記載の白金族系金属膜の研磨方法によると、白金族系金属膜をより反応性の高い化合物に変換することで、特殊な研磨用スラリーを用いなくても、変換後の化合物が可溶性溶媒が用いられているような現在市販されている研磨スラリーを用いることで、白金族系金属膜を容易かつ迅速に除去できる。

【0053】請求項8記載の半導体記憶装置のセル形成方法によると、白金族系金属膜を下部電極とするトレンチ型セルが形成され、白金族系金属膜の微細パターンの形成が可能であるので、高集積化に適した半導体記憶装置のセルを形成できる。

【0054】請求項9記載の半導体記憶装置のセル形成方法によると、白金族系金属膜をより反応性の高い化合物に変換することで、特殊な研磨用スラリーを用いなくても、変換後の化合物が可溶性溶媒が用いられているような現在市販されている研磨スラリーを用いることで、白金族系金属膜を容易かつ迅速に除去できる。

【図面の簡単な説明】

【図1】この発明の実施の形態における白金族系金属膜により構成される下部電極を有するトレンチ型セルを形成する工程を示す断面図である。

【図2】この発明の実施の形態における白金族系金属膜により構成される下部電極を有するトレンチ型セルを形成する工程を示す断面図である。

【図3】この発明の実施の形態におけるCMP工程で使用するCMP用研磨機の構造を示す斜視図である。

【図4】従来の白金族系金属膜で構成される下部電極を有するスタック型セルを形成する工程を示す断面図である。

【符号の説明】

11 第1層間絶縁膜

[0051] According to polishing method of platinum family metal film which is stated in the Claim 6, platinum family metal film which is converted to compound where reactivity is high all with time point which is ground, decides that the platinum family metal where polishing rate is slow exposes, CMP ends in thenatural.

[0052] According to polishing method of platinum family metal film which is stated in the Claim 7, platinum family metal film by fact that it converts to compound where the reactivity is higher, making use of special polishing slurry, compound after converting, by fact that polishing slurry - which kind of presently the soluble solvent is used is marketed is used, platinum family metal film can be removed easily and quickly.

[0053] According to cell formation method of semiconductor memory device which is stated in Claim 8, the trench type cell which designates platinum family metal film as lower electrode to be formed, because formation of fine pattern of platinum family metal film is possible, the cell of semiconductor memory device which is suited for trend to high integration can be formed.

[0054] According to cell formation method of semiconductor memory device which is stated in Claim 9, the platinum family metal film by fact that it converts to compound where reactivity is higher, making use of special polishing slurry, compound after converting, by the fact that polishing slurry - which kind of presently soluble solvent is used is marketed is used, platinum family metal film can be removed easily and quickly.

[Brief Explanation of the Drawing(s)]

[Figure 1] It is a cross section which shows step which forms trench type cell which possesses lower electrode which is formed by platinum family metal film in this Embodiment of Invention.

[Figure 2] It is a cross section which shows step which forms trench type cell which possesses lower electrode which is formed by platinum family metal film in this Embodiment of Invention.

[Figure 3] It is an oblique view which shows structure of polisher or CMP which is used with CMP step in this Embodiment of Invention.

[Figure 4] It is a cross section which shows step which forms stacked type cell which possesses lower electrode which is formed with conventional platinum family metal film.

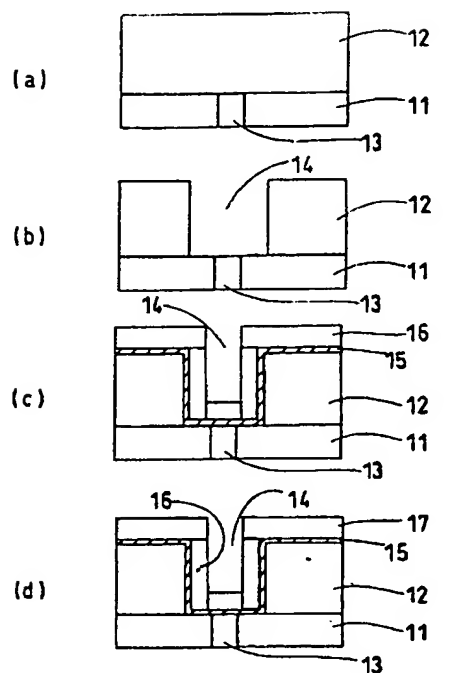
[Explanation of Reference Signs in Drawings]

Insulating film between 11 first tier

12	第2層間絶縁膜	Insulating film between 12 second tier
13	ポリシリコン配線	13 polysilicon metallization
14	開口部	14 opening
15	TiN/Ti膜	15 TiN / Ti film
16	Ru膜 (白金族系金属膜)	16 Ru membrane (platinum family metal film)
17	RuCl _x 膜 (ハロゲン化白金族系金属膜)	17 RuCl _x membrane (halogenation platinum family metal film)
18	下部電極	18 lower electrode
19	(Ba _{0.5} , Sr _{0.5})TiO ₃ 膜 (誘電体膜)	19 (Ba _{0.5} ,Sr _{0.5})TiO ₃ membrane (dielectric film)
20	Ru膜 (上部電極膜)	20 Ru membrane (upper electrode membrane)
31	プラテン	31 platen
32	プラテン軸	32 platen shaft
33	研磨パッド	33 polishing pad
34	キャリア	34 carrier
35	キャリア軸	35 carrier axis
36	ウエハ	36 wafer
37	研磨液供給装置	37 polishing liquid supply equipment
38	研磨液	38 polishing liquid

【図 1】

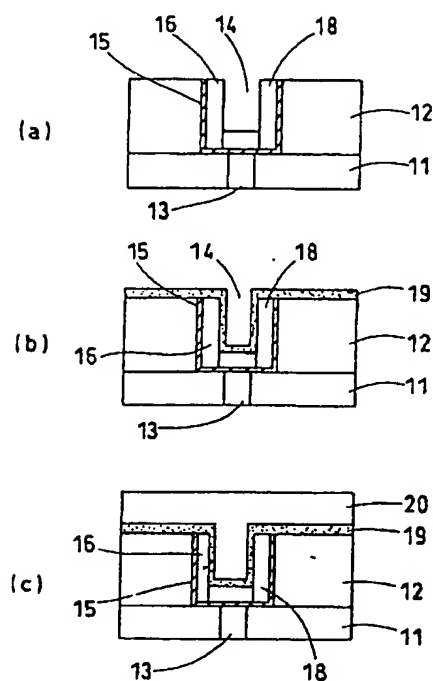
[Figure 1]



- | | |
|---------------|--------------------------|
| 11...第1層間絶縁膜 | 15...TiN/Ti膜 |
| 12...第2層間絶縁膜 | 16...Ru膜 |
| 13...ポリシリコン配線 | 17...RuCl _x 膜 |
| 14 開口部 | |

【図 2】

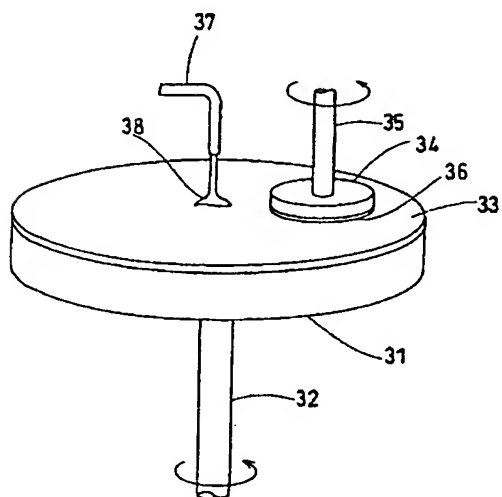
[Figure 2]



18...下部電極
 19... $(\text{Ba}0.5, \text{Sr}0.5)\text{TiO}_3$ 膜
 20... Ru 膜

【図 3】

[Figure 3]



31...プラチン
 32...プラチン軸
 33...研磨パッド
 34...キャリア
 35...キャリア軸
 36...ウエハ
 37...研磨液供給装置
 38...研磨液

【図 4】

[Figure 4]

